

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-258205  
(P2003-258205A)

(43) 公開日 平成15年9月12日 (2003.9.12)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 27/105  
21/3065

識別記号

F I

H 0 1 L 27/10  
21/302

テ-マコ-ト\* (参考)

4 4 4 B 5 F 0 0 4  
A 5 F 0 8 3

審査請求 未請求 請求項の数 5 O L (全 20 頁)

(21) 出願番号 特願2002-57788 (P2002-57788)

(22) 出願日 平成14年3月4日 (2002.3.4)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 小澤 聡一郎

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 クロス ジェフリー スコット

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 100091672

弁理士 岡本 啓三

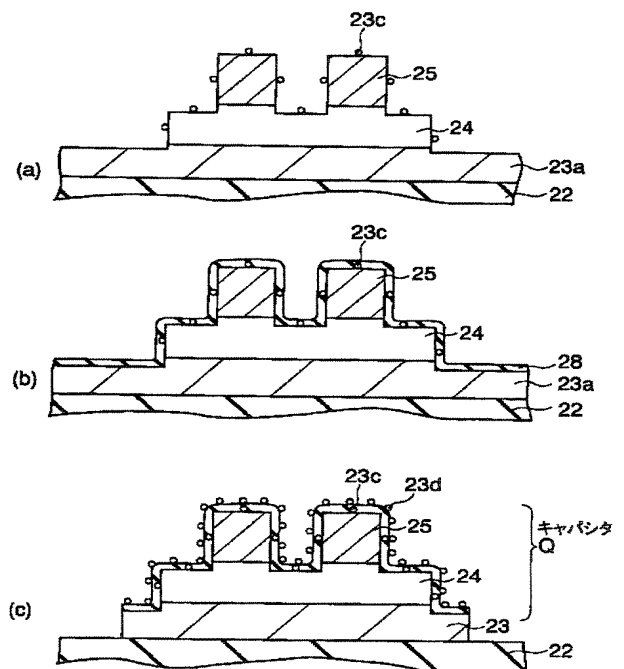
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 強誘電体キャパシタの特性劣化を防止することができる半導体装置を提供する。

【解決手段】 半導体基板の上方に形成された絶縁膜22と、絶縁膜22の上に形成されたキャパシタの下部電極23と、下部電極23の上に形成されたキャパシタの誘電体膜24と、誘電体膜24の上に形成されたキャパシタの上部電極25と、上部電極25及び誘電体膜24を覆い、かつ下部電極23の一部を覆う保護絶縁膜28を含む。



1

## 【特許請求の範囲】

【請求項 1】 半導体基板の上方に形成された絶縁膜と、  
前記絶縁膜の上に形成されたキャパシタの下部電極と、  
前記下部電極の上に形成された前記キャパシタの誘電体膜と、  
前記誘電体膜の上に形成された前記キャパシタの上部電極と、  
前記上部電極及び前記誘電体膜を覆い、かつ前記下部電極の一部を覆う保護絶縁膜とを有することを特徴とする半導体装置。

【請求項 2】 半導体基板の上方に形成された絶縁膜と、  
前記絶縁膜の上にキャパシタ領域とコンタクト領域とを含んで形成された第 1 導電膜よりなるキャパシタの下部電極と、  
前記下部電極の上に前記キャパシタ領域と前記コンタクト領域とを含んで形成された前記キャパシタの誘電体膜と、  
前記誘電体膜の上であって、前記キャパシタ領域に形成された第 2 導電膜よりなる前記キャパシタの上部電極と、  
前記キャパシタと前記絶縁膜の上に形成された層間絶縁膜と、  
前記下部電極の前記コンタクト領域の上に、前記層間絶縁膜から前記誘電体膜に形成されたコンタクトホールとを有することを特徴とする半導体装置。

【請求項 3】 半導体基板の上方に形成された絶縁膜と、  
前記絶縁膜の上に形成されたキャパシタの下部電極と、  
前記下部電極の前記キャパシタを構成する部分に対応する部分が開口され、前記下部電極及び前記絶縁膜を被覆する保護絶縁膜と、  
前記開口内の前記下部電極とその周囲の前記保護絶縁膜の上に形成された前記キャパシタ用の強誘電体膜と、  
前記キャパシタ用の強誘電体膜の上であって、前記キャパシタを構成する下部電極の上方に形成された前記キャパシタの上部電極とを有することを特徴とする半導体装置。

【請求項 4】 半導体基板の上方に絶縁膜を形成する工程と、  
前記絶縁膜の上に第 1 導電膜を形成する工程と、  
前記第 1 導電膜の上に誘電体膜を形成する工程と、  
前記誘電体膜の上に第 2 導電膜を形成する工程と、  
前記第 2 導電膜をパターンニングしてキャパシタの上部電極を形成する工程と、前記上部電極から露出している領域で前記誘電体膜を途中の深さまでエッチングする工程と、  
前記上部電極及び前記誘電体膜の上に保護絶縁膜を形成する工程と、

2

第 1 マスクを用いて前記保護絶縁膜及び前記誘電体膜をエッチングすることにより前記キャパシタ用の誘電体パターンを形成する工程と、

第 2 マスクを用いて前記第 1 導電膜をエッチングすることにより前記キャパシタの下部電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 5】 半導体基板の上方に絶縁膜を形成する工程と、

前記絶縁膜の上に第 1 導電膜を形成する工程と、  
前記第 1 導電膜の上に誘電体膜を形成する工程と、  
前記誘電体膜の上に第 2 導電膜を形成する工程と、  
前記第 2 導電膜をパターンニングしてキャパシタの上部電極を形成する工程と、  
前記誘電体膜をパターンニングすることにより前記キャパシタ用の誘電体パターンを形成する工程と、  
前記第 1 導電膜をパターンニングすることにより前記キャパシタの下部電極を形成する工程とを有し、  
前記下部電極のうちコンタクト領域には、前記誘電体膜と前記第 1 導電膜のうち少なくとも前記誘電体膜が残されることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体装置及びその製造方法に係り、より詳しくは、強誘電体キャパシタを有する半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】 近年、電源を切っても情報を保持でき、しかも省電力で書き込みや読み出しのできるメモリとして、強誘電体不揮発性メモリ（FeRAM）が注目されている。FeRAMは転送トランジスタと強誘電体キャパシタからなるメモリセルを有している。強誘電体キャパシタは、下部電極と上部電極により強誘電体膜を挟んだ構造を有している。

【0003】 強誘電体キャパシタを構成する強誘電体膜は、チタン酸ジルコン酸鉛（PZT）、LaドーピングPZT（PLZT）等のPZT系材料や、SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>（SBT、Y1）、SrBi<sub>2</sub>(Ta, Nb)<sub>2</sub>O<sub>9</sub>（SBTN、YZ）等のBi層状構造化合物材料等があり、これらの材料は、ゾルゲル法、スパッタ法、MOCVD法等によって成膜される。

【0004】 通常、強誘電体膜は、下部電極上にアモルファス相の強誘電体膜を形成した後に、熱処理によって強誘電体膜をペロプスカイト構造へと結晶化させる。次いで、上部電極を強誘電体膜上に形成してキャパシタ構造を得る。

【0005】 下部電極及び上部電極の材料としては、プラチナ（Pt）を用いるのが一般的である。しかし、上部電極にプラチナを用いる場合、リーク電流が小さく、キャパシタの分極特性のヒステリシスカーブを大きくできるなどの利点がある反面、疲労特性が悪いこと、半導

体デバイスを作る過程での劣化が大きいこと、信頼性が悪いことが知られている。そのようなPt上部電極については、例えば1998年秋(59回)応物29a-K-4に記載がある。

【0006】このようなPt上部電極の問題点を解決するために、 $\text{IrO}_2$ や $\text{SrRuO}_3$ (SRO)などの酸化導電材を用いた上部電極の開発が行われている。 $\text{IrO}_2$ からなる上部電極を形成することについては、例えばISIF 2000, 12th International Symposium on Integrated Ferroelectrics Nop.017Cに記載がある。また、SROよりなる上部電極を用いることについては、例えば1999年春(60回)応物2p-A-6に記載がある。このように、上部電極を $\text{IrO}_2$ やSROのような導電性酸化物材料により形成することにより、疲労特性、劣化を抑制して信頼性を改善することができる。

【0007】ところで、強誘電体膜は、還元雰囲気、特に水素によりその特性が劣化することがよく知られている。このため、強誘電体膜と水素とを接触させないようにして半導体装置を形成する方法が採られてきた。例えばK. Kushida-A., J. Appl. Phys., 85, 1069, 1999には、上部電極上に形成されたPbO膜によって上部電極を透過する水素の強誘電体膜への拡散を防ぐことが報告されている。

【0008】また、特許第3157734号公報では、強誘電体キャパシタと層間絶縁膜との間にTiO等の膜を形成して強誘電体への水素の拡散を防いでいる。

【0009】上記した方法では、いずれも、上部電極、キャパシタ用強誘電体膜及びPt下部電極を順次ドライエッチングにより形成して強誘電体キャパシタを作成した後に水素拡散防止膜を形成している。

【0010】

【発明が解決しようとする課題】しかしながら、上記した方法では、いずれも以下のような問題点が考慮されていない。従来、水素拡散防止膜は、強誘電体キャパシタを形成した後、つまり、Pt下部電極をドライエッチングにより形成した後に成膜される。このため、上部電極を形成した後、上部電極及び強誘電体膜上にレジストパターンを形成し、このレジスト膜をマスクにして強誘電体膜をドライエッチングしてキャパシタ用強誘電体膜とすると、オーバーエッチング時に下地のPt下部電極がスパッタエッチングされて、レジスト膜の表面及びキャパシタ用強誘電体膜の側面にPtが付着する。その後、レジスト膜を除去すると、このPtが上部電極及びキャパシタ用強誘電体膜の露出面上に残存することになる。

【0011】更には、次の工程のPt層をドライエッチングしてPt下部電極を形成する工程においても、スパッタエッチングが強い条件下でエッチングする必要があるため、同様に上部電極及びキャパシタ用強誘電体膜の露出面にPtが付着して蓄積することになる。

【0012】Ptは、例えば、Y. shimamoto, APL, 70(23), 3096, 1997に記載されているように、水分や水素ガスを分解して水素イオンを発生させる触媒作用を有している。このため、Ptが上部電極やキャパシタ用強誘電体膜上に存在すると、水素拡散防止膜を形成する前の時点で、大気中などの水分との接触に起因して水素イオンが発生する。この水素イオンにより強誘電体膜が還元され、その結果、強誘電体薄膜の結晶組成が崩れるため、本来の強誘電体膜の特性を有しなくなるという問題が生じる。また、水素拡散防止膜を形成した後においても、層間絶縁膜などに含まれる水分などが水素拡散防止膜を透過する場合には、Ptの触媒作用により容易に水素イオンが発生して強誘電体膜の特性を劣化させることになる。

【0013】本発明は以上の問題点を鑑みて創作されたものであり、水分などを分解して水素イオンを発生させる物質(例えばPt)が上部電極やキャパシタ用強誘電体膜に直接付着しないようにして、水素イオンなどによるキャパシタ用強誘電体膜の特性劣化を防止することができる半導体装置の製造方法及び半導体装置を提供することを目的とする。

【0014】

【課題を解決するための手段】上記問題を解決するため、本発明は半導体装置の製造方法に係り、半導体基板の上方に絶縁膜を形成する工程と、前記絶縁膜の上に第1導電膜を形成する工程と、前記第1導電膜の上に誘電体膜を形成する工程と、前記誘電体膜の上に第2導電膜を形成する工程と、前記第2導電膜をパターンニングしてキャパシタの上部電極を形成する工程と、前記上部電極から露出している領域で前記誘電体膜を途中の深さまでエッチングする工程と、前記上部電極及び前記誘電体膜の上に保護絶縁膜を形成する工程と、第1マスクを用いて前記保護絶縁膜及び前記誘電体膜をエッチングすることにより前記キャパシタ用の誘電体パターンを形成する工程と、第2マスクを用いて前記第1導電膜をエッチングすることにより前記キャパシタの下部電極を形成する工程とを有することを特徴とする。

【0015】前述したように、キャパシタを形成する際、下部電極が例えばPtからなる場合、上部電極を形成した後、強誘電体膜をドライエッチングしてキャパシタ用強誘電体膜のパターンを形成するとき、そのオーバーエッチング時に下地の下部電極からPtがスパッタエッチングされて、その結果、上部電極及びキャパシタ用強誘電体膜の露出面に付着して残存することになる。更には、次の工程の第1導電膜をドライエッチングして下部電極を形成する工程においても、同様に上部電極及びキャパシタ用強誘電体膜の露出面にPtが付着して蓄積することになる。

【0016】Ptは触媒作用を有し、水分など接触することで水素イオンなどを発生させるため、キャパシタの

5

形成工程で、上部電極やキャパシタ用強誘電体膜に Pt が直接付着すると、水素イオンがキャパシタ用強誘電体膜内に拡散して、その分極特性を劣化させる。

【0017】本発明では、キャパシタの形成工程で、上部電極やキャパシタ用強誘電体膜に Pt が直接付着しないようにするため、強誘電体膜をドライエッチングする工程で、下地の下部電極となる例えば Pt 膜が露出する前にエッチングを止め、その後、強誘電体膜の薄膜が残っている状態で、上部電極及び強誘電体膜の側面を保護絶縁膜で被覆する。その後、強誘電体膜の残り膜厚分と Pt 膜とをエッチングして下部電極を形成する。

【0018】これにより、強誘電体膜の残り膜厚分をエッチングする工程のオーバーエッチング時や下部電極（例えば Pt 膜）のエッチング時に、Pt がスパッタエッチングされて周囲に飛び散るとしても、保護絶縁膜上に付着することになる。従って、Pt と水分などが接触して水素イオンなどが発生しても、水素イオンは保護絶縁膜によりブロックされ、キャパシタ用強誘電体膜内に拡散しなくなるので、キャパシタ用強誘電体膜の分極特性の劣化が防止される。

【0019】また、上記課題を解決するため、本発明は半導体装置に係り、半導体基板の上方に形成された絶縁膜と、前記絶縁膜の上にキャパシタ領域とコンタクト領域とを含んで形成された第 1 導電膜よりなるキャパシタの下部電極と、前記下部電極の上に前記キャパシタ領域と前記コンタクト領域とを含んで形成された前記キャパシタの誘電体膜と、前記誘電体膜の上であって、前記キャパシタ領域に形成された第 2 導電膜よりなる前記キャパシタの上部電極と、前記キャパシタと前記絶縁膜の上に形成された層間絶縁膜と、前記下部電極の前記コンタクト領域の上に、前記層間絶縁膜から前記誘電体膜に形成されたコンタクトホールとを有することを特徴とする。

【0020】本発明によれば、下部電極のコンタクト領域（キャパシタを構成しない部分）の上にも強誘電体膜が形成されており、このコンタクト領域の強誘電体膜が水分や水素の拡散を防止するダミーの強誘電体膜として機能する。そして、層間絶縁膜に形成されたコンタクトホールは、ダミーの強誘電体膜の一部を貫通して下部電極上に開口される。

【0021】このため、下部電極の上面側においては、層間絶縁膜と直接接触する部分が存在せず、上面全てが強誘電体膜により保護される。従って、層間絶縁膜に含まれる水分などの拡散が抑制されると共に、コンタクトホール内の金属プラグから水素が拡散される場合、ダミーの強誘電体膜内にその水素をトラップさせることができるので、正規のキャパシタ用の強誘電体膜の特性劣化が防止される。

【0022】また、上記課題を解決するため、本発明は半導体装置に係り、半導体基板の上方に形成された絶縁

6

膜と、前記絶縁膜の上に形成されたキャパシタの下部電極と、前記下部電極の前記キャパシタを構成する部分に対応する部分が開口され、前記下部電極及び前記絶縁膜を被覆する保護絶縁膜と、前記開口内の前記下部電極とその周囲の前記保護絶縁膜の上に形成された前記キャパシタ用の強誘電体膜と、前記キャパシタ用の強誘電体膜の上であって、前記キャパシタを構成する下部電極の上方に形成された前記キャパシタの上部電極とを有することを特徴とする。

【0023】本発明によれば、下部電極が、下部電極のキャパシタを構成する部分に対応する部分が開口された保護絶縁膜により被覆されている。すなわち、下部電極において、キャパシタを構成する部分は、キャパシタ用の強誘電体膜と上部電極との積層膜で被覆され、一方、キャパシタを構成しない部分は、保護絶縁膜とキャパシタ用の強誘電体膜との積層膜により被覆されている。更には、下部電極の側面が保護絶縁膜により被覆されている。これにより、下部電極の上面及び側面への水分などの拡散が防止される。

【0024】従って、下部電極が例えば Pt からなる場合、下部電極の上面全体及び側面において、Pt と水分などとの接触が起こりにくくなることで、水素イオンなどの発生が抑制されるので、キャパシタ用の強誘電体膜の分極特性の劣化が防止される。

【0025】

【発明の実施の形態】以下、本発明の実施の形態について、添付の図面を参照して説明する。

【0026】1. 本願発明者の調査（その 1）

前述したように、強誘電体は水素により劣化するということに加え、Pt は水分などを分解して水素イオンを発生するための触媒作用を有する。本願発明者は、これを鑑み、強誘電体キャパシタを形成する工程において、Pt 下部電極の Pt が上部電極及び強誘電体膜に付着した場合の強誘電体膜に及ぼす影響を調査した。

【0027】図 1（a）は、強誘電体キャパシタの形成工程における上部電極を形成した後の様子を示す部分断面図、図 1（b）は強誘電体キャパシタの形成工程における強誘電体膜をエッチングする様子を示す部分断面図、図 1（c）は図 1（b）のレジスト膜を除去した後の様子を示す部分断面図である。

【0028】最初に、実験サンプルの説明を行なう。まず、図 1（a）に示すように、半導体基板（不図示）の上方に、下から順に、絶縁膜 100、下部電極となる Pt 膜 102、強誘電体膜としての PZT 膜 104a 及び上部電極となる IrO<sub>2</sub> 膜を成膜し、続いて、IrO<sub>2</sub> 膜の所定部をドライエッチングすることにより IrO<sub>2</sub> 上部電極 106 を形成した。これを実験サンプル 1 とした。

【0029】次いで、図 1（b）に示すように、IrO<sub>2</sub> 上部電極 106 及び PZT 膜 104a 上に所定のレジ

スト膜110をパターンニングし、このレジスト膜110をマスクにしてPZT膜104aをドライエッチングすることによりキャパシタ用PZT膜104を形成した。

【0030】このとき、同図に示すように、PZT膜104aをドライエッチングする際に、所定量のオーバーエッチングを行なう必要があるため、下地のPt膜102がスパッタエッチングされて周囲に飛び散ることになる。この結果、レジスト膜110の表面及びキャパシタ用PZT膜104aのパターン側面にPt108が付着する。

【0031】次いで、図1(c)に示すように、図1(b)のレジスト膜110を酸素プラズマによりアッシングして除去した。このとき、レジスト膜110などの表面に付着したPt108は、レジスト膜110を除去しても除去されずに、IrO<sub>2</sub>上部電極106及びキャパシタ用PZT膜104の露出面に残存することになる。

【0032】このようにして、Pt膜102上にキャパシタ用PZT膜104及びIrO<sub>2</sub>上部電極106がパターンニングされたものを実験サンプル2とした。この実験サンプル2では、Pt膜102上に50×50μmのPZT膜104のパターンが複数形成され、この上に1×2μmのIrO<sub>2</sub>上部電極106のパターンアレイ又

#### IrO<sub>2</sub>上部電極の表面分析結果

	分析場所	Ir	Pb	Pt
実験サンプル2	50μm□パターンの中央部	81	9	4
実験サンプル2	1×2μmパターンアレイの端部パターン	74	15	11
実験サンプル2	1×2μmパターンアレイの中央部パターン	74	16	10
実験サンプル2a	50μm□パターンの中央部	64	18	17
実験サンプル2a	1×2μmパターンアレイの端部パターン	56	21	23
実験サンプル2a	1×2μmパターンアレイの中央部パターン	58	20	22

【0036】

※ ※【表2】

#### キャパシタ用PZT膜の表面分析結果

	分析場所	Pb	Zr	Ti	O	Pt
実験サンプル2	50μm□パターンの中央部	24	17	6	43	10
実験サンプル2	1×2μmパターンアレイの端部パターン	25	13	7	40	9
実験サンプル2	1×2μmパターンアレイの中央部パターン	26	14	7	40	8
実験サンプル2a	50μm□パターンの中央部	29	19	7	39	7
実験サンプル2a	1×2μmパターンアレイの端部パターン	29	14	6	35	9
実験サンプル2a	1×2μmパターンアレイの中央部パターン	28	14	7	36	8

【0037】表1に示すように、IrO<sub>2</sub>上部電極106の表面においては、50μm□のパターン内の中央部及び1×2μmのパターンアレイ内の端部及び中央部のパターンでPtが検出され、1×2μmのパターンアレイ内のうちの端部に形成されたIrO<sub>2</sub>上部電極106のパターン表面に多くのPtが付着していることが確認された。

【0038】この1×2μmのパターンアレイのうち、その端部はその中央部よりPt膜102の露出部からの距離が近いので、より多くのPtがスパッタされてIrO<sub>2</sub>上部電極106の表面に付着する傾向がある。

\*は50×50μmのIrO<sub>2</sub>上部電極106のパターンが形成されている。また、Pt膜102上に1×2μmのPZT膜104のパターンアレイや50×50μmのPZT膜104のパターンがその表面が露出して形成されている。

【0033】なお、特に明記しないが、次の工程で、IrO<sub>2</sub>上部電極106、キャパシタ用PZT膜104及びPt膜102の上にパターンニングされたレジスト膜をマスクにしてPt膜102がドライエッチングされて強誘電体キャパシタが形成される。この工程においても、同様に、Pt108がIrO<sub>2</sub>上部電極106及びキャパシタ用PZT膜104の露出面に付着して蓄積する。

【0034】次に、実験方法及び結果の説明を行なう。まず、実験サンプル2のIrO<sub>2</sub>上部電極106又はキャパシタ用PZT膜104上に存在するPtなどの元素をAES (Auger Electron Spectroscopy) 法により分析した。表1は実験サンプル2のIrO<sub>2</sub>上部電極の表面をAESにより分析した結果を示すもの、表2は実験サンプル2のPZT膜の表面をAESにより分析した結果を示すものである。

【0035】

【表1】

また、50μm□のパターンの中央部では、1×2μmのパターンアレイ内よりPtの付着量が少ない傾向が確認された。また、実験サンプル2と同様な方法で作成した実験サンプル2aの同様な場所を分析したところ同様な傾向があることが確認された。

【0039】なお、Pbが検出されているのは、IrO<sub>2</sub>上部電極106をドライエッチングして形成する工程でのオーバーエッチング時に下地のPZT膜104中のPbがスパッタエッチングされてIrO<sub>2</sub>上部電極106上に付着したためである。また、Irが検出されているのは、IrO<sub>2</sub>上部電極106自身のIrが検出され

ためである。

【0040】また、表2に示すように、キャパシタ用PZT膜104の表面においても、 $50\mu\text{m}$ のパターン内の中央部、 $1\times 2\mu\text{m}$ のパターンアレイ内の中心部及び端部でPtが存在することが確認された。また、実験サンプル2と同様な方法で作成した実験サンプル2aの同様な場所を分析したところ同様な傾向があることが確認された。

【0041】なお、Pb、Zr、Ti及びOが検出されているのは、キャパシタ用PZT膜104自身のPb、Zr、Ti及びOが検出されたためである。

【0042】次に、実験サンプル1及び実験サンプル2に水素アニールを施し、強誘電体キャパシタの特性を比較した。なお、実験サンプル1、2では、PZT膜104が成膜された後に常圧の酸素雰囲気中で $600\sim 750^\circ\text{C}$ でRTA処理されており、また、IrO<sub>2</sub>上部電極106が形成された後に、酸素雰囲気中で $650^\circ\text{C}$ で予め加熱処理されている。

【0043】図2は実験サンプル1及び実験サンプル2の(分極電荷量( $Q_{sw}$ )/残留分極( $\mu\text{C}/\text{cm}^2$ ))値の時間依存性を示すもの、図3は実験サンプル2の水素アニール後の分極-電界ヒステリシス特性を示すものである。

【0044】図2に示すように、実験サンプル1(IrO<sub>2</sub>上部電極形成後)の上部電極106と下部電極102との間に $\pm 3\text{V}$ のパルス電圧を印加して電圧・分極特性を調べたところ、強誘電体キャパシタの( $Q_{sw}$ )/ $\mu\text{C}/\text{cm}^2$ 値が10分程度まではほぼ一定値を保ち、その後緩やかに小さくなった。

【0045】一方、実験サンプル2(強誘電体膜エッチング後)においては、( $Q_{sw}$ )/ $\mu\text{C}/\text{cm}^2$ 値が5分を過ぎた時点で小さくなり始めた。また、実験サンプル2の分極-電圧ヒステリシス特性においては、図3に示すように、パルス電圧を印加する前又は5分間印加した後では、良好なヒステリシス特性が得られているが、 $3\text{V}$ のパルス電圧を10分間、15分間印加したものは、残量分極量が小さくなっており、電圧が $0\text{V}$ において十分な残留分極量が得られないことが分かった。

【0046】このように、図1(c)に示すように、IrO<sub>2</sub>上部電極106及びキャパシタ用PZT膜104の上にPt108が付着している実験サンプル2に水素アニールを施すと、Pt108が付着していない実験サンプル1よりPt108の触媒作用によって多くの水素イオンが発生し、この水素イオンがキャパシタ用強誘電体膜に拡散することによりキャパシタの分極特性が劣化することが分かった。

【0047】以下に説明する本発明の第1実施形態の半導体装置の製造方法は、前述した発明者の調査(その1)の結果に基づいて考案されたものである。

【0048】2. 第1の実施の形態

図4～図14は本発明の第1実施形態の半導体装置の製造方法を示す断面図である。なお、本実施形態の半導体装置としてFeRAMを例に挙げて説明する。

【0049】まず、図4に示す断面構造を得るまでの工程を説明する。

【0050】図4に示すように、p型シリコン(半導体)基板10表面に、LOCOS(Local Oxidation of Silicon)法により素子分離絶縁膜11を選択的に形成する。素子分離絶縁膜11としてSTI(Shallow Trench Isolation)を採用してもよい。続いて、シリコン基板10のメモリセル領域1、周辺回路領域2における所定の活性領域(トランジスタ形成領域)にp型不純物及びn型不純物を選択的に導入して、pウェル12a及びnウェル12bを形成する。なお、図4には示していないが、周辺回路領域2ではCMOSを形成するためにpウェル(不図示)も形成される。

【0051】その後、シリコン基板10の活性領域表面を熱酸化して、ゲート絶縁膜10aとしてシリコン酸化膜を形成する。

【0052】次いで、シリコン基板10の上側全面にアモルファスシリコン膜及びタングステンシリサイド膜を順次形成し、これらのアモルファスシリコン膜及びタングステンシリサイド膜をフォトリソグラフィ法により所定の形状にパターンニングして、ゲート電極13a～13c及び配線14を形成する。なお、ゲート電極13a～13cを構成するアモルファスシリコン膜の代わりにポリシリコン膜を形成してもよい。

【0053】メモリセル領域1では、1つのpウェル12a上には2つのゲート電極13a、13bが並列に配置され、それらのゲート電極13a、13bはワード線WLの一部を構成する。

【0054】次いで、メモリセル領域1において、ゲート電極13a、13bの両側のpウェル12a内にn型不純物をイオン注入して、nチャネルMOSトランジスタのソース・ドレインとなるn型不純物拡散領域15aを形成する。これと同時に、周辺回路領域2のpウェル(不図示)にもn型不純物拡散領域を形成してもよい。続いて、周辺回路領域2において、ゲート電極13cの両側のnウェル12bにp型不純物をイオン注入して、pチャネルMOSトランジスタのソース・ドレインとなるp型不純物拡散領域15bを形成する。n型不純物とp型不純物の打ち分けは、レジストパターンを使用して行われる。

【0055】その後、シリコン基板10の全面に絶縁膜を形成した後、その絶縁膜をエッチバックしてゲート電極13a～13c及び配線14の両側部分に側壁絶縁膜16として残す。その絶縁膜として、例えばCVD(化学気相成長)法により酸化シリコン( $\text{SiO}_2$ )膜を形成する。

【0056】さらに、ゲート電極13a、13bと側壁

11

絶縁膜16をマスクに使用して、メモリセル領域1のn型不純物拡散領域15a内に再びn型不純物をイオン注入することにより、n型不純物拡散領域15aをLDD構造にする。これと同時に周辺回路領域2におけるn型不純物拡散領域15aもLDD構造にする。また、周辺回路領域2におけるp型不純物拡散領域15b内に再びp型不純物をイオン注入することにより、p型不純物拡散領域をLDD構造にする。

【0057】以上の工程により、pウェル12aにはゲート電極13a、13bとLDD構造のn型不純物拡散層15aを有する2つのMOSトランジスタT1、T2が形成される。また、nウェル12bにはゲート電極13cとLDD構造のp型不純物拡散層15bを有するMOSトランジスタT3が形成される。

【0058】次いで、MOSトランジスタを覆うカバー膜として約200nmの厚さの酸化シリコン(SiO<sub>2</sub>)膜をプラズマCVD法によりシリコン基板10の全面に形成する。その後、TEOSガスを用いるプラズマCVD法により、第1の層間絶縁膜17として膜厚1.0μm程度の酸化シリコン(SiO<sub>2</sub>)膜をカバー膜3 20の上に成長させる。

【0059】続いて、第1の層間絶縁膜17の緻密化処理として、例えば常圧の窒素雰囲気中で第1の層間絶縁膜17を700℃の温度で30分間熱処理する。その後、第1の層間絶縁膜17の上面を化学的機械研磨(CMP)法により平坦化する。

【0060】次に、図5に示す構造を形成するまでの工程を説明する。

【0061】図5に示すように、まず、フォトリソグラフィ法によりカバー膜3と第1層間絶縁膜17をパターニングして、不純物拡散領域15a、15bに到達する深さのコンタクトホール17a~17dと、配線14に到達する深さのビアホール17eをそれぞれ第1の層間絶縁膜17に形成する。その後、第1の層間絶縁膜17上面とホール17a~17e内面に膜厚20nmのTi(チタン)薄膜と膜厚50nmのTiN(チタンナイトライド)薄膜をスパッタ法により順に形成する。さらに、CVD法によりタングステン(W)をTiN薄膜上に成長する。これにより、コンタクトホール17a~17d、ビアホール17e内にタングステン膜が埋め込まれた状態となる。 30 40

【0062】その後、第1の層間絶縁膜17上面が露出するまでタングステン膜、TiN薄膜及びTi薄膜をCMP法により研磨する。これによりホール17a~17e内に残されたチタン膜、窒化チタン膜及びタングステン膜は、それぞれ導電性プラグ18a~18eとして使用される。

【0063】メモリセル領域1の1つのpウェル12aにおいて2つのゲート電極13a、13bに挟まれるn型不純物拡散領域15a上の第1の導電性プラグ18a 50

12

は後述するビット線に接続され、さらに、残り2つの第2の導電性プラグ18bは後述するキャパシタに接続される。以上により、図5に示す構造のものが得られる。

【0064】次いで、図6に示すように、シランとアンモニアを用いるプラズマCVD法により、第1の層間絶縁膜17上と導電性プラグ18a~18eの上にSiON(絶縁膜)膜21を120nmの厚さに形成する。このSiON膜21は、導電性プラグ18a~18eの酸化を防止するために形成される。さらに、反応ガスとしてTEOSと酸素を用いるプラズマCVD法により厚さ150nmのSiO<sub>2</sub>膜22をSiON膜21上に形成する。なお、SiO<sub>2</sub>膜22は、第1の層間絶縁膜17への水の侵入を防止するために形成される。

【0065】その後、SiON膜21、SiO<sub>2</sub>膜22の緻密化のために、それらの膜を例えば常圧の窒素雰囲気中で温度650℃で30分間熱処理する。

【0066】次いで、図7に示すように、DCスパッタ法により、膜厚10~30nmのチタンと膜厚100~300nmのプラチナとをSiO<sub>2</sub>膜22上に順に形成して二層構造の第1導電膜を形成する。

【0067】続いて、RFスパッタ法により、第1の導電膜23aの上に強誘電体膜24aとして、チタン酸ジルコン酸鉛(PZT)膜をスパッタ法により100~300nm、例えば200nmの厚さに形成する。

【0068】スパッタ条件は、ターゲットとして焼結したPZTを用い、放電ガスとしてArガスをを用い、1.0Pa、RFパワー1KWある。なお、強誘電体材料膜の形成方法としては、上記したスパッタ法の他にスピノン法、ゾーグル法、MOD(Metal Organic Deposition)法又はMOCVD(有機金属CVD)法を使用してもよい。また、強誘電体膜24aの材料としてはPZTの他に、PLCSZT、PLZTのような他のPZT系材料や、SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>、SrBi<sub>2</sub>(Ta、Nb)<sub>2</sub>O<sub>9</sub>等のBi層状構造化合物材料、その他の金属酸化物強誘電体であってもよい。

【0069】続いて、強誘電体膜24aの結晶化処理として、酸素雰囲気中で温度600~850℃、30~120秒間の条件でRTA(Rapid Thermal Annealing)を行う。例えば、温度750℃で60秒間アニールする。

【0070】このような強誘電体膜24aを形成した後に、その上に第2の導電膜25aとして酸化イリジウム(IrO<sub>2</sub>)膜をスパッタ法により100~300nmの厚さに形成する。なお、第2の導電膜25aとして、SRO膜をスパッタ法により形成してもよい。

【0071】次に、図13及び図14を参照しながら、第2の導電膜25a、強誘電体膜24a及び第1の導電膜23aをドライエッチングにより順次パターニングして強誘電体キャパシタを形成する方法を詳しく説明する。

【0072】(第1のキャパシタの形成方法)図13は

13

本実施形態に係る第1のキャパシタの形成方法を示す部分断面図である。本実施形態に係る第1のキャパシタの形成方法は、図13(a)に示すように、まず、図7の第2導電膜25aの上に上部電極形成用のレジスト(不図示)膜のパターンを形成し、このレジスト膜パターンをマスクに使用して第2導電膜25aをドライエッチングして、キャパシタの上部電極25とする。この後に、レジスト膜を酸素プラズマによりアッシングして除去する。

【0073】次に、上部電極25のパターン形成によりダメージを受けた強誘電体膜24aを酸素雰囲気中で650℃、60分の条件でアニールし、これにより強誘電体膜の膜質を改善する。

【0074】続いて、図13(b)に示すように、上部電極25及び強誘電体膜24a上にキャパシタ用強誘電体膜形成用のレジスト膜のパターン(不図示)を形成し、このレジスト膜をマスクにして使用して、下地の第1導電第23a(Ti/Pt膜)が露出しない程度に強誘電体膜24aをコントロールエッチングする。例えば、強誘電体膜24aの初期膜厚が200nmの場合、残り膜厚が30~50nm程度になるまでエッチングする。この工程においては、下地の第1導電第23a(Ti/Pt膜)からPtがスパッタエッチングされて飛び散る恐れがない。

【0075】次いで、スパッタリング法により、膜厚が例えば20~50nmのアルミナ(Al<sub>2</sub>O<sub>3</sub>)膜28(保護絶縁膜)を上部電極25及び強誘電体膜24a上に成膜する。なお、アルミナ膜28の代わりに、酸化チタン膜、PZT系材料又はBi層状構造化合物材料などを使用してもよい。

【0076】次いで、図13(c)に示すように、アルミナ膜28上に、外形寸法が上記したキャパシタ用強誘電体膜形成用のレジスト膜のパターンより2~3μm程度大きなレジスト膜のパターンを形成し、このレジスト膜をマスクしてアルミナ膜28と強誘電体膜24aの残り膜厚分とをドライエッチングしてキャパシタ用強誘電体膜24とする。

【0077】このとき、所定のオーバーエッチングを行なう必要があるので、図1(b)での説明のように、下地の第1導電第23a(Ti/Pt膜)がスパッタエッチングされて、主にレジスト膜の表面にPtが付着する。続いて、レジスト膜を酸素プラズマによりアッシングして除去すると、図13(c)に示すように、主にアルミナ膜28上にPt23bが付着することになり、上部電極25及びキャパシタ用強誘電体膜24の上にはPt23bが直接付着しない。

【0078】次いで、下部電極形成用のレジスト膜のパターン(不図示)をアルミナ膜28及び第1導電膜23a(Ti/Pt膜)上に形成し、このレジスト膜をマスクにして第1導電膜23a(Ti/Pt膜)をエッチン

14

グして下部電極23とする。このとき、上記した工程と同様に、第1導電膜23a(Ti/Pt膜)中のPtがスパッタエッチングされて、主にアルミナ膜28上にPt23bが付着する。

【0079】続いて、酸素含有雰囲気内で温度650℃で60分間加熱してキャパシタ用強誘電体膜24aの膜質を改善する。このようにして、上部電極25、キャパシタ用強誘電体膜24及び下部電極23によりキャパシタQが構成される。そして、キャパシタQにおいては、上部電極25の露出部とキャパシタ用強誘電体膜24の上面及び側面の主要部とがアルミナ膜28によって被覆されている。

【0080】本実施形態に係る第1のキャパシタの形成方法では、まず、上部電極25を形成し、次いで、強誘電体膜24aをドライエッチングする際に、下地の第1の導電膜23(Ti/Pt膜)が、露出しない程度に強誘電体膜24aの薄膜を残した状態でエッチングを止める。その後、上部電極25及び強誘電体膜24aをアルミナ膜28で被覆する。

【0081】これにより、強誘電体膜24aの残り膜厚分をドライエッチングするときのオーバーエッチング時に下地の第1の導電膜23(Ti/Pt膜)からスパッタエッチングされたPtはアルミナ膜28上に主に付着することになる。

【0082】更に、第1の導電膜23(Ti/Pt膜)をドライエッチングする工程でスパッタエッチングされたPtもアルミナ膜28上に主に付着することになる。

【0083】従って、たとえ、水分がPt23bに接触して触媒作用により水素イオンが発生するとしても、アルミナ膜28が水素イオンの拡散を防止するので、キャパシタ用強誘電体膜の特性の劣化が防止される。

【0084】(第2のキャパシタの形成方法)図14は第1実施形態に係る第2のキャパシタの形成方法を示す断面図であって、図14(c)は図8のI-I方向の部分断面図である。第2のキャパシタの形成方法は、上部電極25を形成し、その後、強誘電体膜24aの所定部を下地の第1の導電膜23a(Ti/Pt膜)が露出するまでエッチングし、次いで、アルミナ膜28を形成し、続いて、第1導電膜23a(Ti/Pt膜)をエッチングして下部電極23とする形態である。

【0085】第2のキャパシタの形成方法は、まず、前述した第1のキャパシタの形成方法と同様な方法で、図13(a)に示す構造を得る。その後、図14(a)に示すように、キャパシタ用強誘電体膜形成用のレジスト膜のパターン(不図示)を形成し、このレジスト膜をマスクにして、強誘電体膜24aをドライエッチングして下地の第1導電膜23a(Ti/Pt膜)を露出させ、更に、所定のオーバーエッチングをかけて、キャパシタ用強誘電体膜24を形成する。

【0086】このとき、前述した図1(b)及び(c)



での説明のように、オーバーエッチング時に、第1導電膜23a (Ti/Pt膜) 中のPtがスパッタエッチングされて周囲に飛び散り、その結果、図14(a)に示すように、上部電極25及びキャパシタ用強誘電体膜24の露出面にPt23cが僅かに付着する。なお、この工程においては、Pt23cの付着量が極力少なくなるように、強誘電体膜24aの残渣が発生しない程度にオーバーエッチ量を少なく設定することが好ましい。

【0087】次いで、同じく図14(b)に示すように、スパッタリング法により、上部電極25、キャパシタ用強誘電体膜24及び第1導電膜23a (Ti/Pt膜) の上に、膜厚が例えば20~50nmのアルミナ膜28 (保護絶縁膜) を成膜する。なお、アルミナ膜28の代わりに、酸化チタン膜、PZT系材料又はBi層状構造化合物材料などを用いてもよい。

【0088】次いで、図14(c)に示すように、下部電極形成用のレジスト膜のパターン (不図示) を形成し、このレジスト膜をマスクにして、第1導電膜23a (Ti/Pt膜) をドライエッチングすることにより、下部電極23を形成する。

【0089】このとき、第1導電膜23a (Ti/Pt膜) 中のPtが周囲に飛び散り、その結果、レジスト膜の表面に付着することになる。そして、レジスト膜を酸素プラズマによりアッシングして除去すると、図14(c)に示すように、アルミナ膜28上にPt23dが付着する。このように、第2のキャパシタの形成方法により形成されたキャパシタQにおいては、上部電極25及びキャパシタ用強誘電体膜24の露出部が全てアルミナ膜28によって被覆されている。

【0090】本実施形態に係る第2のキャパシタの形成方法では、アルミナ膜28を形成する前に、強誘電体膜24aを下地の第1導電膜23a (Ti/Pt膜) が露出するまで1ステップでドライエッチングするので、オーバーエッチングの際に飛び散るPtが上部電極25及びキャパシタ用強誘電体膜24上に直接付着する。

【0091】しかし、オーバーエッチングの際に飛び散るPtの量は、次の工程の第1導電膜23a (Ti/Pt膜) のドライエッチングの工程で飛び散るPtの量に比べるとごく微量である。つまり、第1導電膜23a (Ti/Pt膜) から飛び散るPtのうちのほとんどが

【0092】このため、前述した第1のキャパシタの形成方法と同様に、第1導電膜23a (Ti/Pt膜) から飛び散ったPt23cと水分が接触して触媒作用により水素イオンが発生しても、水素イオンの拡散がアルミナ膜28でブロックされるので、キャパシタ用誘電体膜24の水素イオンによる特性劣化が防止される。

【0093】また、第2のキャパシタの形成方法では、強誘電体膜24aをハーフエッチングする必要がないので、形成工程を簡易とすることができる。

【0094】以上のように、本実施形態に係る第1又は第2のキャパシタの形成方法により形成されたキャパシタQにおいては、水分などをブロックするアルミナ膜28と上部電極25又はキャパシタ用誘電体層24との間には、Ptが全く残存しないか、又はPtが残存としてもその量をごく少なくすることができる。これにより、Ptが触媒となって水分などから水素イオンが発生することに起因してキャパシタ誘電体膜の特性が劣化することが防止される。

【0095】なお、本実施形態に係る第2のキャパシタの形成方法では、強誘電体膜24aのオーバーエッチング時に、上部電極25及びキャパシタ用強誘電体膜24上に直接付着したPt23cを除去しないでアルミナ膜28を形成する形態を例示したが、Pt23cを有機溶剤やハロゲンガスなどを用いたプラズマにより除去した後にアルミナ膜28を形成する形態としてもよい。

【0096】次に、FeRAMの製造方法の説明に戻る。

【0097】以上のような工程を経てキャパシタQを形成することにより、図8に示す構造が得られる。次いで、図9に示すように、全面にSiO<sub>2</sub>膜及びSOG膜からなる2層構造の第2の層間絶縁膜26を形成し、この第2の層間絶縁膜26によりキャパシタQを覆う。そのSiO<sub>2</sub>膜は、TEOSガスを用いるプラズマCVD法により、成長温度が390℃、パワーが400Wの条件でシリコン基板10の上側全面に100~300nmの厚さで形成される。また、SOG膜は、TEOS膜上にSOG溶液を80~200nmの厚さに塗布した後に、これを加熱することにより形成される。

【0098】そして、フォトリソグラフィ法により第2の層間絶縁膜26とアルミナ膜28とをパターンニングして、キャパシタQの上部電極25の上にコンタクトホール26aを形成する。その後、誘電体膜24に対して回復アニールを実施する。具体的には、酸素雰囲気中で500~650℃の温度で30~120分間加熱する。

【0099】次に、第2の層間絶縁膜26、SiON膜21、SiO<sub>2</sub>膜22をフォトリソグラフィ法によりパターンニングして、メモリセル領域1の第2の導電性プラグ18bの上にコンタクトホール26bを形成して第2の導電性プラグ18bを露出させる。そして、第2の層間絶縁膜26上とコンタクトホール26a、26b内に、膜厚100nmのTiN膜をスパッタ法により形成する。続いて、そのTiN膜をフォトリソグラフィ法でパターンニングすることにより、メモリセル領域1においてコンタクトホール26a、26bを通してpウェル12a上の第2の導電性プラグ18bとキャパシタ上部電極25とを電氣的接続するための局所配線 (ローカル配線) 27を形成する。

【0100】次に、図10に示すような構造を形成するまでの工程を説明する。

17

【0101】まず、局所配線27と第2の層間絶縁膜26の上に、プラズマCVD法によりTEOS膜を200～400nmの厚さに形成する。このTEOS膜は第3の層間絶縁膜31として使用される。

【0102】続いて、メモリセル領域1における第3の層間絶縁膜31からその下方のSiON膜21までをフォトリソグラフィ法によりパターンニングすることにより、pウェル12aの中央位置の第1の導電性プラグ18aの上にコンタクトホール31aを形成するとともに、周辺回路領域2の各導電性プラグ18c～18e上にもコンタクトホール31c～31eを形成する。

【0103】さらに、第3の層間絶縁膜31の上とコンタクトホール31c～31eの中にTi膜、TiN膜、Al（アルミニウム）膜及びTiN膜の4層を順次積層し、これらの金属膜をパターンニングすることにより、メモリセル領域1でビット線32aを形成するとともに、周辺回路領域2では配線32c～32eを形成する。これらのビット線32a、配線32c～32eは、一層目のアルミニウム配線となる。

【0104】なお、メモリセル領域1のビット線32aは第1の導電性プラグ18aに接続され、また、周辺回路領域2の配線32c～32eは各導電性プラグ18c～18eに接続される。

【0105】ビット線32a、配線32c～32eを構成する各金属膜の膜厚として例えば最下層のTi膜を20nmの厚さ、下側のTiN膜を50nmの厚さ、Al膜を500nmの厚さ、上側のTiN膜を100nmの厚さとする。

【0106】次に、図11に示すような構造を形成するまでの工程を説明する。

【0107】まず、TEOSガスと酸素(O<sub>2</sub>)ガスを使用するプラズマCVD法により、2.0μmの厚さのSiO<sub>2</sub>からなる第4の層間絶縁膜33を第3の層間絶縁膜31、ビット線32a及び配線32c～32eの上に形成する。

【0108】さらに、第4の層間絶縁膜33の上面をCMP法により研磨して平坦化する。その研磨量は、最上面から約1.0μmの厚さ相当程度とする。

【0109】さらに、フォトリソグラフィ法により第4の層間絶縁膜33をパターンニングして、一層目のアルミニウム配線、例えば周辺回路領域2の配線32dに到達するビアホール33aを形成する。

【0110】続いて、ビアホール33aの内面と第4の層間絶縁膜33の上面に、膜厚20nmのTi膜と膜厚50nmのTiN膜をスパッタリングにより順次形成し、それらの膜をグルーレイヤ35aとする。その後、グルーレイヤ35a上にタングステン膜35bをCVDにより成膜する。これにより、ビアホール33a内には、グルーレイヤ35aとタングステン膜35bが充填される。

18

【0111】その後、第4の層間絶縁膜33上面上のタングステン膜35b及びグルーレイヤ35aをCMP法又はエッチバックにより除去して、ビアホール33a内にはのみ残存させる。

【0112】次に、図12に示すような構造を形成するまでの工程を説明する。

【0113】まず、第4の層間絶縁膜33の上に第1のTiN膜を50nm、Al膜を500nm、第2のTiN膜を50nmの厚さに順次形成する。続いて、第1及び第2のTiN膜とAl膜をフォトリソグラフィ法によりパターンニングすることにより二層目のアルミニウム配線36を形成する。

【0114】続いて、TEOSを用いるプラズマCVD法により、二層目のアルミニウム配線36と第4の層間絶縁膜33の上に、第1のカバー絶縁膜37としてSiO<sub>2</sub>膜を200nmの厚さに形成する。さらに、第1のカバー絶縁膜37の上に、プラズマCVD法によりSiNよりなる第2のカバー絶縁膜38を500nmの厚さに形成する。これらの第1及び第2のカバー膜37、38により二層目の配線36が被覆される。

【0115】その後、MOSトランジスタT1、T2、T3の特性を向上するために、水素窒素混合ガスの雰囲気中で全体を400～450℃で加熱する。

【0116】以上により、本実施形態の半導体装置の製造方法により製造されたFe-RAM（図12）が完成する。

【0117】3. 本願発明者の調査（その2）

本願発明者は、IrO<sub>2</sub>上部電極、PZT膜及びPt下部電極により構成されるキャパシタにおいて、Pt下部電極自体が重水素ガスから重水素イオンを発生させる触媒として作用するかを実験により確認した。

【0118】図15は実験サンプルを説明する断面図、図16は実験サンプルのPZT膜内の重水素を分析した結果を示すもの、図17は強誘電体膜の特性が劣化するメカニズムを示す模式図である。

【0119】実験サンプルとしては、図15(a)に示すように、半導体基板の上方に、絶縁膜100を介して、下から順に、Ti膜101及びPLCSZT膜104aが全面に形成されたものを実験サンプル3（Pt膜なし）とした。また、図15(b)に示すように、半導体基板の上方に、絶縁膜100を介して、下から順に、Ti膜101、Pt膜102及びPLCSZT膜104bが全面に形成されたものを実験サンプル4（Pt膜有り）とした。

【0120】そして、実験サンプル3及び4に対して、重水素ガスを含む雰囲気中でアニールを施し、それぞれのPLCSZT膜104a、104b内の重水素(2D)の深さ方向のプロファイルをSIMS（Secondary Ion Mass Spectrometry）法により分析した。

【0121】図16の深さ方向プロファイルA及びBに

19

示すように、実験サンプル4 (Pt膜有り) のPLCSZT膜104bでは、表面から深さが深くなるにつれて、重水素の濃度が高くなっており、明らかに、実験サンプル3 (Pt膜なし) のPLCSZT膜104a中の重水素の濃度より高かった。なお、深さ方向プロファイルCは、深さ方向プロファイルAからBを差し引いたものである。

【0122】強誘電体膜の特性劣化は、次のようなメカニズムによるものと推測される。図17(a)に示すように、PLCSZT膜104bの下にPt膜102が存在し、かつPLCSZT膜104bの表面が露出している部分においては、重水素(D<sub>2</sub>)や水分(D<sub>2</sub>O, H<sub>2</sub>O)はPLCSZT膜104bの中を透過して下地のPt膜102まで拡散する。なお、IrO<sub>2</sub>上部電極106は重水素(D<sub>2</sub>)や水分(D<sub>2</sub>O, H<sub>2</sub>O)を透過させずにブロックする。

【0123】そして、この拡散した重水素(D<sub>2</sub>)や水分(D<sub>2</sub>O, H<sub>2</sub>O)とPt膜102とが接触することでPt膜102の触媒作用により、重水素イオン(2D<sup>+</sup>)や水素イオン(2H<sup>+</sup>)が発生する。これにより、図17(b)に示すように、PLCSZT膜104b内に重水素イオン(D<sup>+</sup>)や水素イオン(H<sup>+</sup>)がトラップされてPLCSZT膜104bの特性が劣化する。

【0124】このように、Pt膜102がIrO<sub>2</sub>上部電極106とPLCSZT膜104bとの積層膜により被覆されている構造の場合には、Pt膜102への水分などの拡散をブロックするので、重水素イオンや水素イオンなどの発生を抑制する能力が高い。また、Pt膜102がPLCSZT膜104bの単層膜で被覆される場合においても、Pt膜102がPLCSZT膜104bなどの金属酸化膜に何ら被覆されていない場合に比べて、重水素イオンや水素イオンなどの発生を抑制することができると推測される。

【0125】つまり、Pt膜102がIrO<sub>2</sub>上部電極106とPLCSZT膜104bとの積層膜、あるいはPLCSZT膜104bの単層膜により被覆されずに露出している場合においては、水分などがPt膜102に多量に付着して多量の水素イオンなどが発生するので、PLCSZT膜104bの特性劣化が激しい。

【0126】これについて、図18を参照しながら具体的に説明する。図18は従来のキャパシタの構造の一例を示す部分断面図である。図18に示すように、従来のキャパシタの構造の一例は、半導体基板の上方に、絶縁膜100を介して、下から順に、下部電極102、キャパシタ用強誘電体膜104、第1上部電極106及び第2上部電極106aによりキャパシタが構成されている。このキャパシタ上に層間絶縁膜107が形成され、第1上部電極106、第2上部電極106a及び下部電極102にそれぞれ接続するためのコンタクトホール107a, 107b, 107cが形成されている。このコ

20

ンタクトホール107a, 107b, 107c内にはTiN膜105dとW膜105eとからなる導電性プラグ105a, 105b, 105cが充填され、これらの導電性プラグ105a, 105b, 105cには配線層111が接続されている。

【0127】このようなキャパシタ構造において、下部電極102のうち、配線層111と導電性プラグ107cを介して接続される接続部を含む部分(図18のA部)の上には、キャパシタ用強誘電体膜104又は上部電極106が形成されていない。このため、図18のA部においては、多量の水分などが層間絶縁膜26を介してPt下部電極23に拡散する。その結果、多量の重水素イオンや水素イオンが発生し、これらがキャパシタ用強誘電体膜104中に拡散するので、キャパシタ用強誘電体膜104の特性が劣化しやすい。

【0128】しかも、コンタクトホール107cには、プラズマCVDにより成膜されたW膜105eが充填されているため、コンタクトホール107cのTiN膜105dのステップカバレジがよくない底部においては、W膜105e中から水素などがPt下部電極102に拡散し、触媒作用により水素イオンが発生してキャパシタ用強誘電体膜102に拡散することで、その特性が劣化する。

【0129】以下に説明する本発明の第2及び第3の実施形態の半導体装置は、前述した発明者の調査(その2)の結果に基づいて考案されたものである。

【0130】4. 第2の実施の形態

図19(a)~(c)は本発明の第2実施形態に係る半導体装置のキャパシタ構造を示す部分断面図である。

【0131】図19(a)に示すように、本実施形態の半導体装置のキャパシタ29は、半導体基板の上方に、SiO<sub>2</sub>膜22を介して、下から順に、下部電極23、キャパシタ用強誘電体膜24、第1上部電極25a及び第2上部電極25bによりキャパシタが構成されている。このキャパシタ29上に層間絶縁膜26が形成され、この層間絶縁膜26には第1上部電極25a、第2上部電極25b及び下部電極23と局所配線27をそれぞれ接続するためのコンタクトホール26d, 26e, 26fが形成されている。コンタクトホール26d, 26e, 26f内にはTiN膜42dとW膜42eとからなる導電性プラグ42a, 42b, 42cが充填され、これらに配線層111が接続されている。

【0132】ここで、キャパシタ用強誘電体膜24はPt下部電極23と略同一パターンで形成され、Pt下部電極23のキャパシタを構成しない部分(図19のB部)にはキャパシタ用強誘電体膜24と同一膜で形成されたダミー強誘電体膜24bが形成されている。そして、コンタクトホール26fがダミー誘電体膜24bの一部を貫通して形成され、Pt下部電極23と配線27とがコンタクトホール26f内の導電性プラグ42cを

21

介して接続されている。

【0133】すなわち、Pt下部電極23の上面はコンタクトホール42cが形成された部分以外はキャパシタ用強誘電体膜24及びダミー強誘電体膜24bによって被覆されている。このようにすることにより、ダミー強誘電体膜24bが図19(b)のB部のPt下部電極23への水分などの拡散を防止するので、水素イオンなどの発生が抑制される。

【0134】また、コンタクトホール42c内のW膜42eからPt下部電極23に水素が供給される場合においては、ダミー強誘電体膜24bが水素をトラップするので、水素とPt下部電極23との接触に起因する水素イオンの発生を抑制することができる。

【0135】また、図19(b)に示すように、図19(a)のダミー強誘電体膜24bの上に、更にダミー上部電極25cが形成されている形態としてもよい。これによれば、層間絶縁膜26などからPt下部電極23への水分などの拡散が、ダミー上部電極25cとダミー誘電体膜24bとの積層膜により防止され、この結果、水分などとPt下部電極23との接触に起因する水素イオンの発生を更に抑制することができ、キャパシタ用強誘電体膜24の特性劣化が防止される。

【0136】また、図19(c)のB部に示すように、Pt下部電極23のB部にダミー強誘電膜24bやダミー上部電極25cを設ける代わりに、アルミナ膜28aを設けた形態としてもよい。これによっても、図19(c)のB部において、Pt下部電極23と水分などとの接触に起因する水素イオンの発生が抑制されるので、キャパシタ用強誘電体膜24の特性劣化が防止される。

#### 【0137】5. 第3の実施の形態

図20(a)～(c)は本発明の第3の実施の形態に係る半導体装置の製造方法を示す部分断面図である。

【0138】前述した第2実施形態においては、図19(a)又は(b)に示すように、Pt下部電極23が強誘電体膜24、24bの単層膜で被覆される部分と、強誘電体膜24、24bと上部電極25との積層膜により被覆される部分とが存在する。特に、Pt下部電極23が強誘電体膜24、24bの単層膜によってのみ被覆される部分においては、水分などの拡散を完全に防止できない場合が想定される。また、Pt下部電極23の側面及び下面における水分などとの接触も考慮しておく必要がある。第3実施形態に係る半導体装置は、かかる不都合を解消したものである。なお、第1実施形態に係る半導体装置の製造方法と同一工程においては、その詳しい説明を省略する。

【0139】本実施形態の半導体装置の製造方法は、まず、第1実施形態と同様な方法により、図6に示されるSiO<sub>2</sub>膜22を形成した後の構造を作成する。その後、図20(a)に示すように、SiO<sub>2</sub>膜22上に膜厚が20～50nmの第1アルミナ膜28bをスパッタ

22

リング法により成膜する。

【0140】次いで、第1アルミナ膜28b上に、第1の実施形態と同様な方法により、Pt下部電極23を形成する。続いて、Pt下部電極23及びSiO<sub>2</sub>膜22の上に膜厚が20～50nmの第2アルミナ膜28cをスパッタリング法により形成してPt下部電極23を被覆する。

【0141】次いで、図20(b)に示すように、Pt下部電極23のパターンのうち、後の工程で上部電極が形成される部分に対応する部分が開口するようにして、第2アルミナ膜28c上にレジスト膜のパターン(不図示)を形成する。続いて、このレジスト膜をマスクにして、アルミナ膜28cをドライエッチングして、アルミナ膜28cの開口部28dを形成する。このアルミナ膜28cの開口部28dを利用して後に個々のキャパシタが構成される。

【0142】次いで、第2アルミナ膜28c及びPt下部電極23の上に、第1実施形態と同様な方法により、Pt下部電極23のパターンと略同一のキャパシタ用強誘電体膜24を形成する。続いて、キャパシタ用強誘電体膜24の上であって、アルミナ膜28cの開口部28dに対応する部分に、第1実施形態と同様な方法により、上部電極25a、25b、25cを形成する。

【0143】これにより、Pt下部電極23、キャパシタ用強誘電体膜24及び上部電極25a、25b、25cによりキャパシタが構成される。そして、Pt下部電極23の上面において、上部電極25、25b、25cが形成されていない部分に対応する部分(図20(b)のC部)が、キャパシタ用誘電体膜23とアルミナ膜28cの積層膜により被覆されることになる。更に、Pt下部電極23の側面がアルミナ膜28cにより被覆され、また、Pt下部電極23の下面がアルミナ膜28bにより被覆される。

【0144】次いで、図20(c)に示すように、第1の実施形態と同様な方法により、キャパシタの上に層間絶縁膜26を形成し、次いで、上部電極25a、25b、25cにそれぞれ接続されるコンタクトホール26d、26e、26fを形成し、続いて、TiN膜42dとW膜42eとからなる導電性プラグ42a、42b、42cを充填する。この後に、導電性プラグ42a、42b、42cに接続される局所配線27を形成する。

【0145】次いで、第1実施形態と同様な方法により、多層配線を形成して、本実施形態の半導体装置が完成する。

【0146】本実施形態の半導体装置においては、Pt下部電極23の上面におけるキャパシタを構成する部分は、上部電極25、25b、25c及びキャパシタ用強誘電体膜24の積層膜によって被覆され、また、キャシタを構成しない部分においては、キャパシタ用強誘電体膜24とアルミナ膜28cとの積層膜により被覆されて

23

いる。更には、Pt 下部電極 23 の側面及び下面においても、アルミナ膜 28b, 28c で被覆されている。

【0147】これにより、水分などがPt 下部電極 23 に拡散して接触すること起因する水素イオンの発生が抑制され、この結果、キャパシタ用強誘電体膜 24 の特性劣化が防止される。

【0148】なお、Pt 下部電極 23 の下面に設けられたアルミナ膜 28b は、半導体装置のキャパシタの特性に応じて適宜設ければよいものであって、Pt 下部電極 23 の下面をアルミナ膜 28b で被覆しない形態として

もよい。

【0149】(付記 1) 半導体基板の上方に形成された絶縁膜と、前記絶縁膜の上に形成されたキャパシタの下部電極と、前記下部電極の上に形成された前記キャパシタの誘電体膜と、前記誘電体膜の上に形成された前記キャパシタの上部電極と、前記上部電極及び前記誘電体膜を覆い、かつ前記下部電極の一部を覆う保護絶縁膜とを有することを特徴とする半導体装置。

【0150】(付記 2) 半導体基板の上方に形成された絶縁膜と、前記絶縁膜の上にキャパシタ領域とコンタクト領域とを含んで形成された第 1 導電膜よりなるキャパシタの下部電極と、前記下部電極の上に前記キャパシタ領域とコンタクト領域とを含んで形成された前記キャパシタの誘電体膜と、前記誘電体膜の上であって、前記キャパシタ領域に形成された第 2 導電膜よりなる前記キャパシタの上部電極と、前記キャパシタと前記絶縁膜の上に形成された層間絶縁膜と、前記下部電極の前記コンタクト領域の上に、前記層間絶縁膜から前記誘電体膜に形成されたコンタクトホールとを有することを特徴とする半導体装置。

【0151】(付記 3) 前記第 2 導電膜は、前記誘電体膜の前記コンタクト領域上にも形成され、且つ前記第 2 導電膜に前記コンタクトホールが形成されていることを特徴とする付記 2 に記載の半導体装置。

【0152】(付記 4) 半導体基板の上方に形成された絶縁膜と、前記絶縁膜の上に形成されたキャパシタの下部電極と、前記下部電極の前記キャパシタを構成する部分に対応する部分が開口され、前記下部電極及び前記絶縁膜を被覆する保護絶縁膜と、前記開口内の前記下部電極とその周囲の前記保護絶縁膜の上に形成された前記キャパシタ用の強誘電体膜と、前記キャパシタ用の強誘電体膜の上であって、前記キャパシタを構成する下部電極の上方に形成された前記キャパシタの上部電極とを有することを特徴とする半導体装置。

【0153】(付記 5) 前記下部電極と前記絶縁膜との間に第 2 保護絶縁膜が形成されていることを特徴とする付記 4 に記載の半導体装置。

【0154】(付記 6) 前記保護絶縁膜は、金属酸化材料であることを特徴とする付記 1、付記 4 又は付記 5 に記載の半導体装置の製造方法。

24

【0155】(付記 7) 半導体基板の上方に絶縁膜を形成する工程と、前記絶縁膜の上に第 1 導電膜を形成する工程と、前記第 1 導電膜の上に誘電体膜を形成する工程と、前記誘電体膜の上に第 2 導電膜を形成する工程と、前記第 2 導電膜をパターニングしてキャパシタの上部電極を形成する工程と、前記上部電極から露出している領域で前記誘電体膜を途中の深さまでエッチングする工程と、前記上部電極及び前記誘電体膜の上に保護絶縁膜を形成する工程と、第 1 マスクを用いて前記保護絶縁膜及び前記誘電体膜をエッチングすることにより前記キャパシタ用の誘電体パターンを形成する工程と、第 2 マスクを用いて前記第 1 導電膜をエッチングすることにより前記キャパシタの下部電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【0156】(付記 8) 前記下部電極は前記上部電極の側方にコンタクト領域を有し、該コンタクト領域には前記保護絶縁膜が残されることを特徴とする付記 7 に記載の半導体装置の製造方法。

【0157】(付記 9) 半導体基板の上方に絶縁膜を形成する工程と、前記絶縁膜の上に第 1 導電膜を形成する工程と、前記第 1 導電膜の上に誘電体膜を形成する工程と、前記誘電体膜の上に第 2 導電膜を形成する工程と、前記第 2 導電膜をパターニングしてキャパシタの上部電極を形成する工程と、第 1 マスクを用いて前記誘電体膜をエッチングすることにより前記キャパシタ用の誘電体パターンを形成する工程と、前記上部電極、前記誘電体パターン及び前記第 1 導電膜の上に保護絶縁膜を形成する工程と、第 2 マスクを用いて前記保護絶縁膜及び前記第 1 導電膜をエッチングすることにより、前記上部電極の側方にコンタクト領域をもつ前記キャパシタの下部電極を形成する工程とを有し、該コンタクト領域に前記保護絶縁膜が残されることを特徴とする半導体装置の製造方法。

【0158】(付記 10) 半導体基板の上方に絶縁膜を形成する工程と、前記絶縁膜の上に第 1 導電膜を形成する工程と、前記第 1 導電膜の上に誘電体膜を形成する工程と、前記誘電体膜の上に第 2 導電膜を形成する工程と、前記第 2 導電膜をパターニングしてキャパシタの上部電極を形成する工程と、前記誘電体膜をパターニングすることにより前記キャパシタ用の誘電体パターンを形成する工程と、前記第 1 導電膜をパターニングすることにより前記キャパシタの下部電極を形成する工程とを有し、前記下部電極のうちコンタクト領域には、前記誘電体膜と前記第 1 導電膜のうち少なくとも前記誘電体膜が残されることを特徴とする半導体装置の製造方法。

【0159】(付記 11) 前記キャパシタの上に層間絶縁膜を形成する工程と、前記層間絶縁膜から前記誘電体膜までをパターニングすることにより、前記下部電極の前記コンタクト領域の上にコンタクトホールを形成する工程とをさらに有することを特徴とする付記 10 に記載の

25

半導体装置の製造方法。

【0160】

【発明の効果】以上説明したように、本発明によれば、キャパシタをドライエッチングにより形成する際、強誘電体膜をエッチングするとき、下地の下部電極が露出しない程度に薄膜を残してエッチングした後、あるいは強誘電体膜を下部電極が露出するまでエッチングした後、それらの上に保護絶縁膜、例えば金属酸化膜を形成し、その後、下部電極をエッチングする。

【0161】これにより、下部電極が例えば触媒作用を有するPt膜を含む場合、下部電極をドライエッチングにより形成する工程においては、Ptは殆ど金属酸化膜上に付着するようになる。従って、Ptの触媒作用により水素イオンなどが発生しても金属酸化膜がその拡散をブロックするため、キャパシタ用強誘電体膜の特性劣化が防止される。

【図面の簡単な説明】

【図1】図1(a)は、強誘電体キャパシタの形成工程における上部電極を形成した後の様子を示す部分断面図、図1(b)は強誘電体キャパシタの形成工程における強誘電体膜をエッチングする様子を示す部分断面図、図1(c)は図1(b)のレジスト膜を除去した後の様子を示す部分断面図である。

【図2】図2は実験サンプル1及び実験サンプル2の(分極電荷量( $Q_{sw}$ )/残留分極( $\mu C/cm^2$ ))値の時間依存性を示すものである。

【図3】図3は実験サンプル2の水素アニール後の分極-電界ヒステリシス特性を示すものである。

【図4】図4は本発明の第1実施形態の半導体装置の製造方法を示す断面図(その1)である。

【図5】図5は本発明の第1実施形態の半導体装置の製造方法を示す断面図(その2)である。

【図6】図6は本発明の第1実施形態の半導体装置の製造方法を示す断面図(その3)である。

【図7】図7は本発明の第1実施形態の半導体装置の製造方法を示す断面図(その4)である。

【図8】図8は本発明の第1実施形態の半導体装置の製造方法を示す断面図(その5)である。

【図9】図9は本発明の第1実施形態の半導体装置の製造方法を示す断面図(その6)である。

【図10】図10は本発明の第1実施形態の半導体装置の製造方法を示す断面図(その7)である。

26

【図11】図11は本発明の第1実施形態の半導体装置の製造方法を示す断面図(その8)である。

【図12】図12は本発明の第1実施形態の半導体装置の製造方法を示す断面図(その9)である。

【図13】図13は本発明の第1実施形態の半導体装置の製造方法に係る第1のキャパシタの製造方法を示す断面図である。

【図14】図14は本発明の第1実施形態の半導体装置の製造方法に係る第2のキャパシタの製造方法を示す断面図である。

【図15】図15(a)は実験サンプル3を説明する断面図、図15(b)は実験サンプル4を説明する断面図である。

【図16】図16は実験サンプル3のPZT膜内の重水素を分析した結果を示すものである。

【図17】図17(a)及び(b)は強誘電体膜の特性が劣化するメカニズムを示す模式図である。

【図18】図18は従来のキャパシタの構造の一例を示す断面図である。

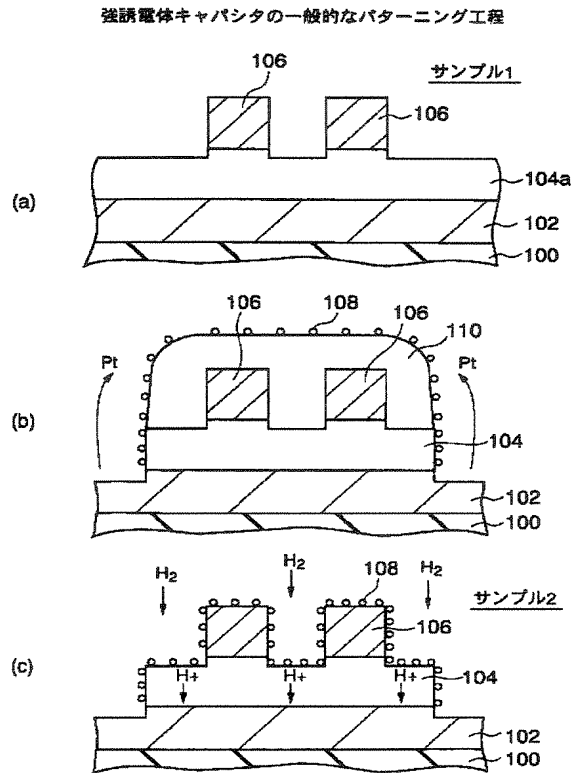
【図19】図19(a)～(c)は本発明の第2実施形態に係る半導体装置のキャパシタ構造を示す断面図である。

【図20】図20(a)～(c)は本発明の第3の実施の形態に係る半導体装置の製造方法を示す断面図である。

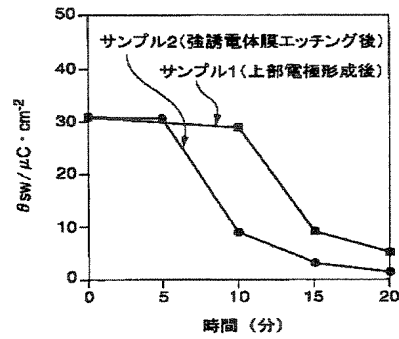
【符号の説明】

10・・・半導体基板、11・・・素子分離絶縁膜、12a, 12b・・・ウェル領域、13a, 13b, 13c・・・ゲート電極、15a, 15b・・・不純物拡散層、16・・・サイドウォール、17, 26, 31, 33, 18a～18e, 42a～42c・・・導電性プラグ、21・・・SiON膜、22・・・SiO<sub>2</sub>膜、23a, 25a・・・導電膜、24a・・・強誘電体膜、24b・・・ダミー強誘電体膜、23・・・下部電極、23b～23d・・・Pt、24・・・誘電体膜、25・・・上部電極、25c・・・ダミー上部電極、26a～26f・・・コンタクトホール、27・・・局所配線、28, 28a～28c・・・アルミナ膜(保護絶縁膜)、32a・・・局所配線、32b～32g・・・配線、36・・・アルミニウム配線、37, 38・・・カバー膜。

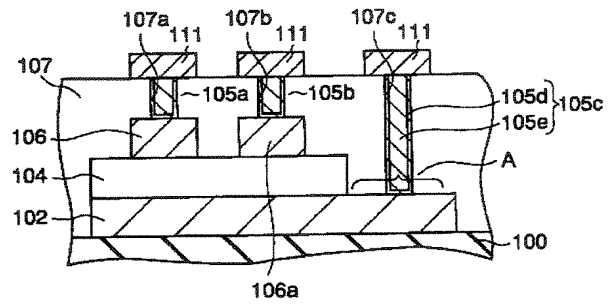
【図1】



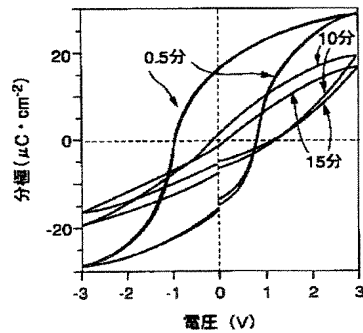
【図2】



【図18】

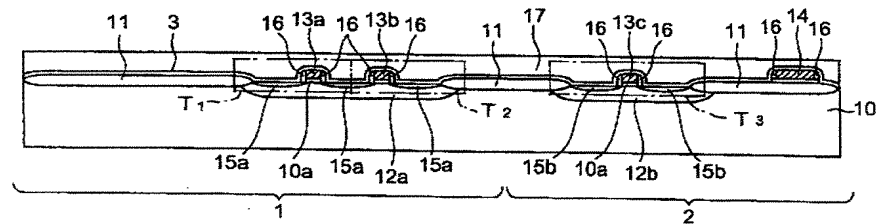


【図3】



【図4】

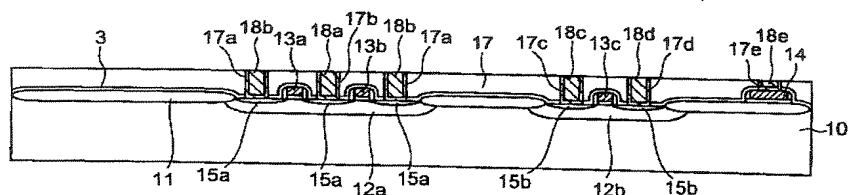
本発明の実施形態に係る半導体装置の形成工程を示す断面図 (その1)



- |                 |                  |
|-----------------|------------------|
| 10: 半導体基板       | 14: 配線           |
| 12a, 12b: ウエル領域 | 15a: n型不純物拡散領域   |
| 17: 層間絶縁膜       | 15b: p型不純物拡散領域   |
| 11: 素子分離絶縁膜     | 16: 側壁絶縁膜        |
| 10a: ゲート絶縁膜     | 3: カバー膜          |
| 13a~13c: ゲート電極  | T1~T3: MOSトランジスタ |

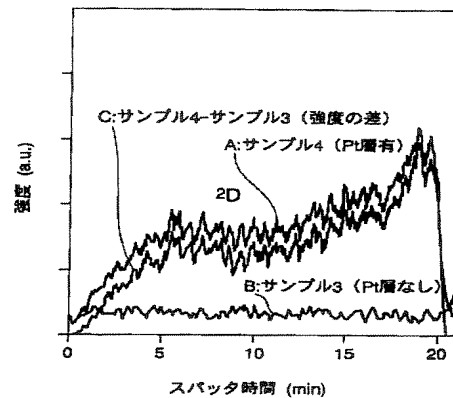
【図5】

本発明の実施形態に係る半導体装置の形成工程を示す断面図（その2）



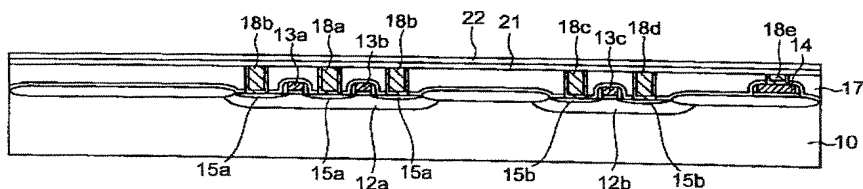
17a～17d：コンタクトホール  
17e：ビアホール  
18a～18c：プラグ

【図16】



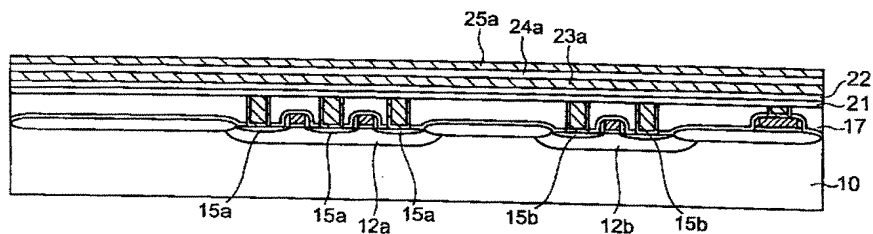
【図6】

本発明の実施形態に係る半導体装置の形成工程を示す断面図（その3）



【図7】

本発明の実施形態に係る半導体装置の形成工程を示す断面図（その4）

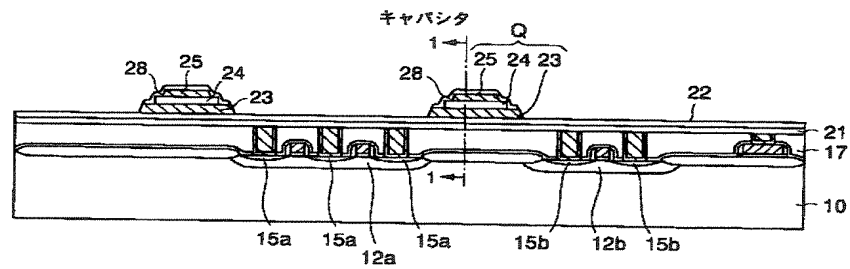


23a：第1導電体膜  
24a：強誘電体膜  
25a：第2導電体膜



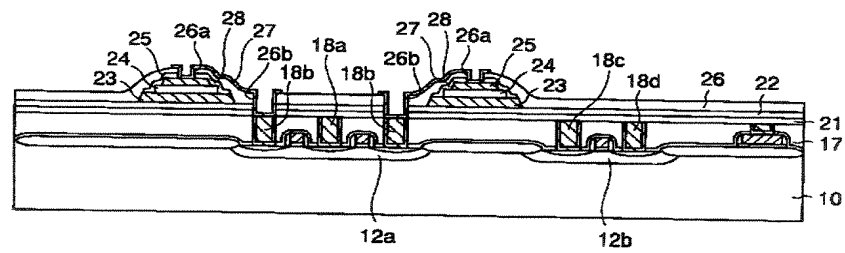
【図8】

本発明の実施形態に係る半導体装置の形成工程を示す断面図(その5)



【図9】

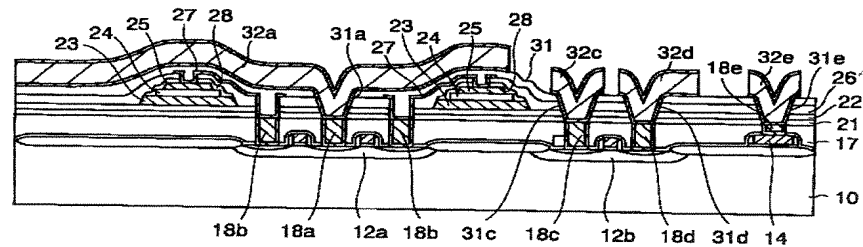
本発明の実施形態に係る半導体装置の形成工程を示す断面図(その6)



26: 層間絶縁膜  
27: 局所配線

【図10】

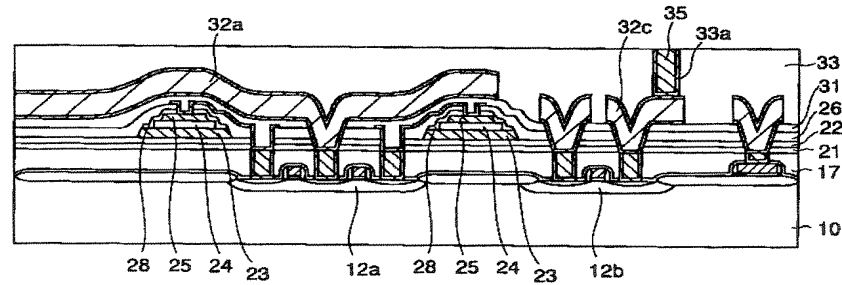
本発明の実施形態に係る半導体装置の形成工程を示す断面図(その7)



32a: ビット線  
32b~32e: 配線

【図11】

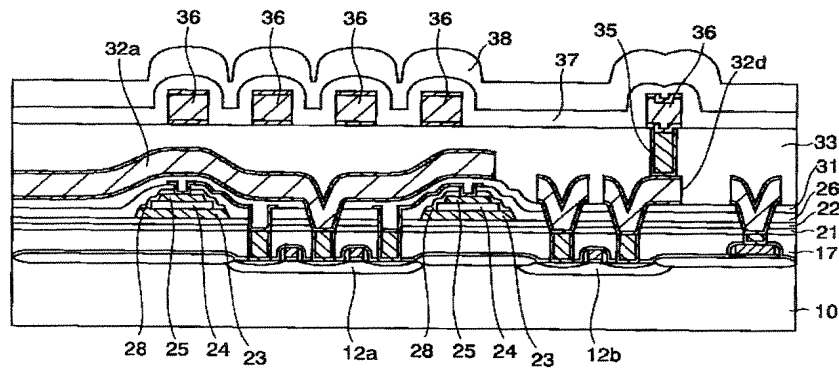
本発明の実施形態に係る半導体装置の形成工程を示す断面図(その8)



33: 層間絶縁膜

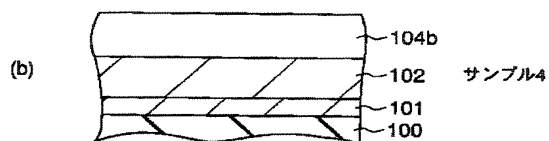
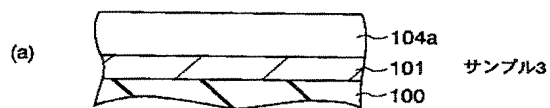
【図12】

本発明の実施形態に係る半導体装置の形成工程を示す断面図(その9)



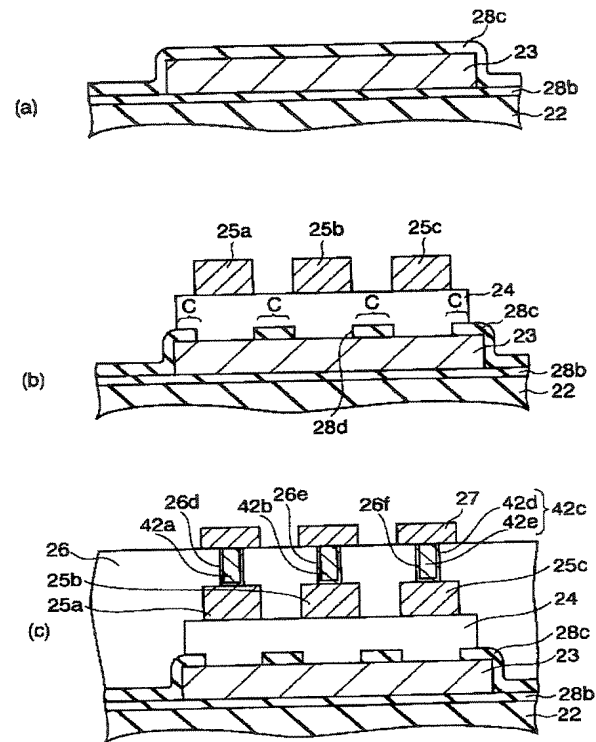
36: 配線  
37, 38: カバー膜

【図15】





【図 20】



フロントページの続き

(72) 発明者 堀井 義正  
神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内

F ターム (参考) 5F004 AA08 DB13 DB14 EA32  
5F083 AD10 AD21 FR02 GA21 JA02  
JA05 JA15 JA17 JA35 JA36  
JA38 JA39 JA40 JA43 JA56  
MA05 MA06 MA18 MA20 NA01  
PR21 PR22 PR33 PR34 PR43  
PR44 PR45 PR53 PR54 PR55